

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

04343873     \*\*Image available\*\*

THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.:     05-335573 [JP 5335573 A]

PUBLISHED:     December 17, 1993 (19931217)

INVENTOR(s):   MATSUMOTO HIROSHI

APPLICANT(s): CASIO COMPUT CO LTD [350750] (A Japanese Company or  
Corporation), JP (Japan)

APPL. NO.:     04-166673 [JP 92166673]

FILED:     June 03, 1992 (19920603)

INTL CLASS:     [5] H01L-029/784; G02F-001/136; H01L-027/12

JAPIO CLASS:     42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION  
INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097  
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL:     Section: E, Section No. 1526, Vol. 18, No. 161, Pg. 31, March  
17, 1994 (19940317)

#### ABSTRACT

**PURPOSE:** To make the active layers of two kinds of thin film transistors different in requested property both out of directly stacked polysilicon thin films, in an active matrix type of liquid crystal display device.

**CONSTITUTION:** In the NMOS thin film transistor 4, for example, at the peripheral circuit section, a directly stacked polysilicon thin film 12 is used as an active layer, so, as compared with the a thin film transistor which uses, as an active layer, a nonuniform quality of polysilicon thin film being gotten by crystallizing an amorphous silicon thin film, an ON current is high, and switching speed can be increased. On the other hand, in the NMOS thin film transistor in a matrix circuit section, a directly stacked polysilicon thin film 11 is used as an active layer, the thickness of the gate insulating film as a whole is thicker by the amount of thickness of a first layer insulating film 19, the power consumption can be made smaller than the NMOS thin film transistor 4 in the peripheral circuit section.

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-335573

(43) 公開日 平成5年(1993)12月17日

(51) Int. Cl. <sup>5</sup>	識別記号	F I			
H01L 29/784					
G02F 1/136	500	9018-2K			
H01L 27/12	A				
		9056-4M	H01L 29/78	311	A
		9056-4M		311	G
審査請求 未請求 請求項の数 3 (全 6 頁)					

(21) 出願番号 特願平4-166673

(22) 出願日 平成4年(1992)6月3日

(71) 出願人 000001443

カシオ計算機株式会社  
東京都新宿区西新宿2丁目6番1号

(72) 発明者 松本 広

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

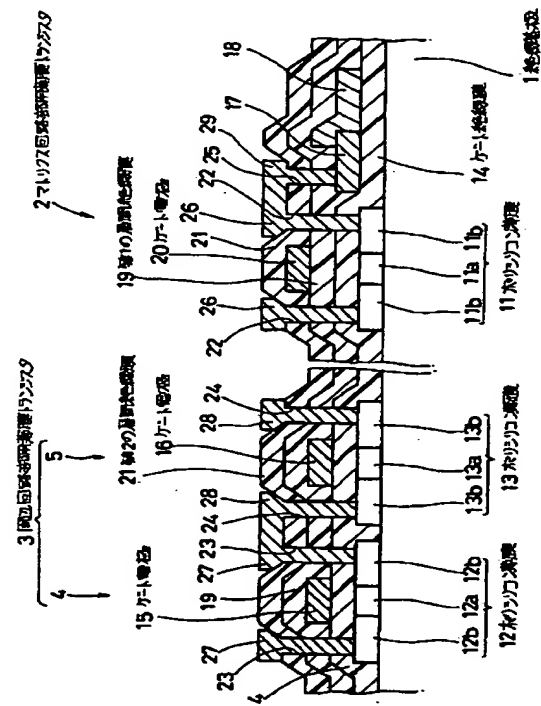
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 薄膜半導体装置

(57) 【要約】

【目的】 アクティブマトリクス型の液晶表示装置において、要求される特性が相違する2種類の薄膜トランジスタの活性層を共に直接堆積したポリシリコン薄膜で形成する。

【構成】 例えば、周辺回路部のNMOS薄膜トランジスタ4では、直接堆積したポリシリコン薄膜12を活性層としているので、アモルファスシリコン薄膜を結晶化して得られる不均一な膜質のポリシリコン薄膜を活性層とする薄膜トランジスタと比較して、オン電流が高く、スイッチング速度のアップを図ることができる。一方、マトリクス回路部のNMOS薄膜トランジスタ3では、直接堆積したポリシリコン薄膜11を活性層としているが、全体としてのゲート絶縁膜の膜厚が第1の層間絶縁膜19の膜厚の分だけ厚くなっているため、周辺回路部のNMOS薄膜トランジスタ4に比べて消費電力を小さくすることができる。



1

## 【特許請求の範囲】

【請求項1】 絶縁基板上の異なる平面領域に、要求される特性が相違する一の薄膜トランジスタと他の薄膜トランジスタとが形成された薄膜半導体装置において、前記一の薄膜トランジスタの活性層と前記他の薄膜トランジスタの活性層が共にポリシリコン薄膜からなり、かつ前記一の薄膜トランジスタのゲート絶縁膜の膜厚と前記他の薄膜トランジスタのゲート絶縁膜の膜厚とが異なることを特徴とする薄膜半導体装置。

【請求項2】 前記一の薄膜トランジスタはマトリクス回路部を構成し、前記他の薄膜トランジスタは前記マトリクス回路部を駆動する周辺回路部を構成し、かつ前記一の薄膜トランジスタのゲート絶縁膜の膜厚が前記他の薄膜トランジスタのゲート絶縁膜の膜厚よりも厚いことを特徴とする請求項1記載の薄膜半導体装置。

【請求項3】 前記マトリクス回路部は液晶表示装置のマトリクス回路部であることを特徴とする請求項2記載の薄膜半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は薄膜半導体装置に関し、特に、要求される特性が相違する2種類の薄膜トランジスタを備えた薄膜半導体装置に関する。

## 【0002】

【従来の技術】 例えばアクティブマトリクス型の液晶表示装置には、マトリクス回路部とこのマトリクス回路部を駆動する周辺回路部とを薄膜トランジスタで形成してなる薄膜半導体装置（アクティブマトリクスパネル）を備えたものがある。このような薄膜半導体装置では、マトリクス回路部用薄膜トランジスタと周辺回路部用薄膜トランジスタとで要求される特性に違いがある関係から、マトリクス回路部を消費電力の小さいアモルファスシリコン薄膜を活性層とする薄膜トランジスタで形成し、周辺回路部を移動度の高いポリシリコン薄膜を活性層とする薄膜トランジスタで形成している。この場合、要求される特性が相違する2種類の薄膜トランジスタを1枚の絶縁基板上の異なる平面領域に形成することができる。このような場合、絶縁基板上にアモルファスシリコン薄膜を形成し、このアモルファスシリコン薄膜のうち周辺回路部形成領域に対応する部分にレーザビームを照射することにより、周辺回路部形成領域に対応する部分のアモルファスシリコン薄膜のみを結晶化してポリシリコン薄膜としている。

## 【0003】

【発明が解決しようとする課題】 しかしながら、従来のこのような薄膜半導体装置では、レーザビームのビーム径が小さい関係から、レーザビームをスキャンしながら照射しているので、二重照射部や非照射部が生じやすく、このため均一な膜質のポリシリコン薄膜を得ることができず、ひいてはポリシリコンを直接堆積して得られ

2

るポリシリコン薄膜と比較して、オン電流が低下し、スイッチング速度のアップを図ることができないという問題があった。この発明の目的は、要求される特性が相違する2種類の薄膜トランジスタの活性層を共に直接堆積したポリシリコン薄膜で形成することのできる薄膜半導体装置を提供することにある。

## 【0004】

【課題を解決するための手段】 この発明は、絶縁基板上の異なる平面領域に、要求される特性が相違する一の薄膜トランジスタと他の薄膜トランジスタとが形成された薄膜半導体装置において、前記一の薄膜トランジスタの活性層と前記他の薄膜トランジスタの活性層が共にポリシリコン薄膜からなり、かつ前記一の薄膜トランジスタのゲート絶縁膜の膜厚と前記他の薄膜トランジスタのゲート絶縁膜の膜厚とが異なるようにしたものである。

## 【0005】

【作用】 この発明によれば、一の薄膜トランジスタの活性層と他の薄膜トランジスタの活性層を共にポリシリコン薄膜としても、一の薄膜トランジスタのゲート絶縁膜の膜厚と他の薄膜トランジスタのゲート絶縁膜の膜厚とが異なっているので、このゲート絶縁膜の膜厚の相違により、絶縁基板上の異なる平面領域に、要求される特性が相違する一の薄膜トランジスタと他の薄膜トランジスタとを形成することができる。したがって、要求される特性が相違する2種類の薄膜トランジスタの活性層を共に直接堆積したポリシリコン薄膜で形成することができる。

## 【0006】

【実施例】 図1はこの発明の一実施例における薄膜半導体装置の要部を示したものである。この薄膜半導体装置では、ガラス等の透明基板からなる絶縁基板1の上面の各所定の個所にNMOS薄膜トランジスタからなるマトリクス回路部用薄膜トランジスタ2およびCMOS薄膜トランジスタからなる周辺回路部用薄膜トランジスタ3が設けられている。CMOS薄膜トランジスタからなる周辺回路部用薄膜トランジスタ3はNMOS薄膜トランジスタ4とPMOS薄膜トランジスタ5とからなっている。

【0007】 薄膜トランジスタ2、4、5は、絶縁基板1の上面の各所定の個所にそれぞれパターン形成されたポリシリコン薄膜11、12、13を備えている。ポリシリコン薄膜11、12、13の中央部はチャネル領域11a、12a、13aとされ、その両側は高濃度不純物領域からなるソース・ドレイン領域11b、12b、13bとされている。ポリシリコン薄膜11、12、13および絶縁基板11の全表面にはゲート絶縁膜14が形成されている。周辺回路部側のポリシリコン薄膜12、13のチャネル領域12a、13aに対応する部分のゲート絶縁膜14の上面にはゲート電極15、16がパターン形成されている。マトリクス回路部側のゲート

絶縁膜14の上面の所定の個所には中継電極17およびITOからなる画素電極18がパターン形成されている。ゲート絶縁膜14、ゲート電極15、16、中継電極17および画素電極18の全表面には第1の層間絶縁膜19が形成されている。マトリクス回路部側のポリシリコン薄膜11のチャンネル領域11aに対応する部分の第1の層間絶縁膜19の上面にはゲート電極20がパターン形成されている。この場合、マトリクス回路部側では、第1の層間絶縁膜19がゲート絶縁膜を兼ねており、したがって全体としてのゲート絶縁膜の膜厚は第1の層間絶縁膜19の膜厚の分だけ厚くなっている。第1の層間絶縁膜19およびゲート電極20の全表面には第2の層間絶縁膜21が形成されている。ソース・ドレイン領域11b、12b、13bおよび中継電極17に対応する部分における第2の層間絶縁膜21、第1の層間絶縁膜19およびゲート絶縁膜14にはコンタクトホール22~25が形成され、これらコンタクトホール22~25にはソース・ドレイン電極26~28および中継電極29がパターン形成されている。この場合、マトリクス回路部用薄膜トランジスタ2の一方のソース・ドレイン電極26は中継電極29、17を介して画素電極18と接続されている。また、CMOS薄膜トランジスタからなる周辺回路部用薄膜トランジスタ3におけるNMOS薄膜トランジスタ4とPMOS薄膜トランジスタ5の各一方のソース・ドレイン電極27、28は互いに接続されている。

【0008】次に、この薄膜半導体装置の製造方法について図2を参照しながら説明する。まず、図2(A)に示すように、絶縁基板11の上面全体にポリシリコン薄膜11~13を形成するためのポリシリコン薄膜31を形成する。この場合、0.1~1 Torr程度のガス圧および基板温度300~400℃程度の低温度下でジシランSi<sub>4</sub>H<sub>8</sub>と水素ガスH<sub>2</sub>とを流量比10%以下とした混合ガスを用いたプラズマCVD法によりポリシリコンを直接堆積する。次に、図示していないが、所定のパターンのフォトレジストをマスクとしてイオン注入装置によりn型不純物を注入し、また別の所定のパターンのフォトレジストをマスクとしてイオン注入装置によりp型不純物を注入し、これにより図2(B)に示すように、ポリシリコン薄膜31の各所定の個所にn型不純物注入領域32およびp型不純物注入領域33を形成する。この後、注入した不純物を活性化する。次に、フォトリソグラフィ技術により不要な部分のポリシリコン薄膜31をエッチングして除去し、図2(C)に示すように、絶縁基板11の上面の各所定の個所にポリシリコン薄膜11、12、13をそれぞれパターン形成する。この状態では、図2(B)に示すイオン注入工程において不純物を注入し活性化しているので、ポリシリコン薄膜11、12、13の中央部はチャンネル領域11a、12a、13aとされ、その両側は高濃度不純物注入領域か

らなるソース・ドレイン領域11b、12b、13bとされている。

【0009】次に、図2(D)に示すように、全表面にスパッタまたはプラズマCVDにより酸化シリコンあるいは窒化シリコンからなるゲート絶縁膜14を形成する。次に、周辺回路部側のポリシリコン薄膜12、13のチャンネル領域12a、13aに対応する部分のゲート絶縁膜14の上面にスパッタリング装置を用いてアルミニウムやクロム等からなるゲート電極15、16をパターン形成し、同時に、マトリクス回路部側のゲート絶縁膜14の上面の所定の個所に中継電極17をパターン形成する。次に、中継電極17およびその近傍のゲート絶縁膜14の上面の所定の個所にスパッタリング装置を用いてITOからなる画素電極18をパターン形成する。次に、図2(E)に示すように、全表面にスパッタまたはプラズマCVD法により酸化シリコンあるいは窒化シリコンからなる第1の層間絶縁膜19を形成する。次に、マトリクス回路部側のポリシリコン薄膜11のチャンネル領域11aに対応する部分の第1の層間絶縁膜19の上面にスパッタリング装置を用いてアルミニウムやクロム等からなるゲート電極20をパターン形成する。次に、全表面にスパッタまたはプラズマCVD法により酸化シリコンあるいは窒化シリコンからなる第2の層間絶縁膜21を形成する。次に、図1に示すように、ソース・ドレイン領域11b、12b、13bおよび中継電極17に対応する部分における第2の層間絶縁膜21、第1の層間絶縁膜19およびゲート絶縁膜14にコンタクトホール22~25を形成した後、これらコンタクトホール22~25にスパッタリング装置を用いてアルミニウムからなるソース・ドレイン電極26~28および中継電極29をパターン形成する。かくして、図1に示す薄膜半導体装置が製造される。

【0010】このように、この薄膜半導体装置のマトリクス回路部側では、第1の層間絶縁膜19がゲート絶縁膜を兼ね、全体としてのゲート絶縁膜の膜厚が第1の層間絶縁膜19の膜厚の分だけ厚くなっている。このため、例えば周辺回路部のNMOS薄膜トランジスタ4の $V_t$  (ゲート電圧) -  $I_d$  (ドレイン電流) 特性が図3に示すようになるのに対し、マトリクス回路部のNMOS薄膜トランジスタ3の $V_t$  -  $I_d$  特性が図4に示すようになる。すなわち、周辺回路部のNMOS薄膜トランジスタ4では、ゲート絶縁膜14が薄く形成されているためオン電流が高く、スイッチング速度のアップを図ることができる。一方、マトリクス回路部のNMOS薄膜トランジスタ3では、直接堆積したポリシリコン薄膜11を活性層としているが、全体としてのゲート絶縁膜の膜厚が第1の層間絶縁膜19の膜厚の分だけ厚くなっているため、オン電流が周辺回路部のNMOS薄膜トランジスタ4に比べて低くなるばかりでなく、オフ電流をある一定値以下に抑えつけるゲート電圧の範囲が周辺回路部の

NMOS薄膜トランジスタ4に比べてかなり広くなり、したがって消費電力を小さくすることができる。なお、本実施例では半導体活性層としてポリシリコン薄膜を直接堆積しているため、アモルファスシリコン薄膜を結晶化して得られる不均一な膜質のポリシリコン薄膜を活性層とする薄膜トランジスタと比較してもより移動度が向上されている。

【0011】なお、マトリクス回路部をPMOS薄膜トランジスタで形成するようにしてもよく、また周辺回路部をNMOS薄膜トランジスタとPMOS薄膜トランジスタのいずれか一方のみで形成するようにしてもよい。また、この発明は液晶表示装置に限らず、薄膜トランジスタメモリやイメージセンサ等にも幅広く適用することができる。

【0012】

【発明の効果】以上説明したように、この発明によれば、一の薄膜トランジスタの活性層と他の薄膜トランジスタの活性層とを共にポリシリコン薄膜としても、ゲート絶縁膜の膜厚の相違により、絶縁基板上の異なる平面領域に、要求される特性が相違する2種類の薄膜トランジスタを形成することができるので、要求される特性が相違する2種類の薄膜トランジスタの活性層を共に直接

堆積したポリシリコン薄膜で形成することができ、したがってアモルファスシリコン薄膜を結晶化して得られる不均一な膜質のポリシリコン薄膜を活性層とする薄膜トランジスタと比較して、特定の薄膜トランジスタのスイッチング速度のアップを図ることができる。

【図面の簡単な説明】

【図1】この発明の一実施例における薄膜半導体装置の要部の断面図。

【図2】この薄膜半導体装置の各製造工程を示す図。

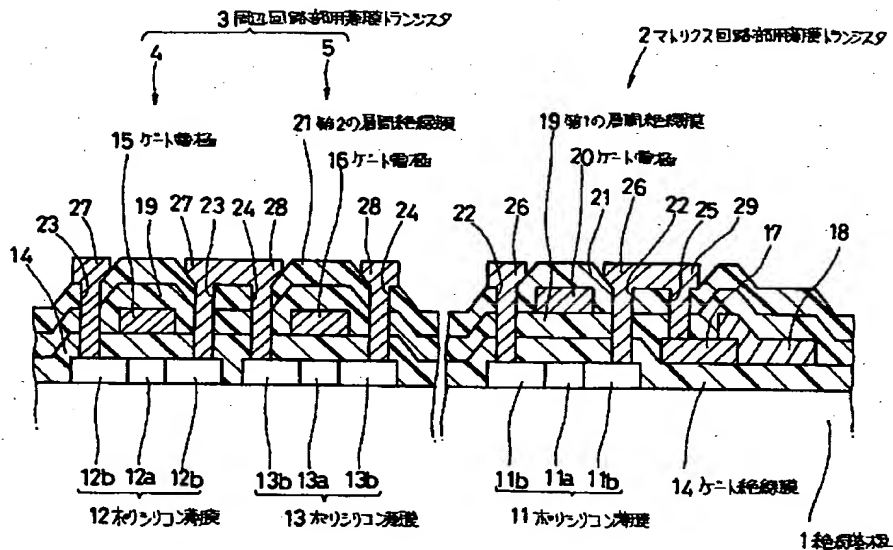
【図3】この薄膜半導体装置の周辺回路部のNMOS薄膜トランジスタの $V_G-I_D$ 特性を示す図。

【図4】この薄膜半導体装置のマトリクス回路部のNMOS薄膜トランジスタの $V_G-I_D$ 特性を示す図。

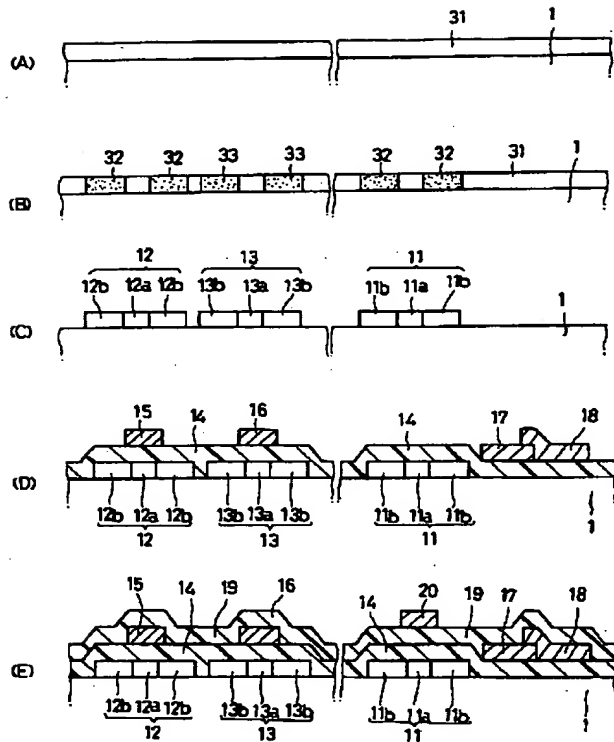
【符号の説明】

- 11 絶縁基板
- 12 マトリクス回路部用薄膜トランジスタ
- 13 周辺回路部用薄膜トランジスタ
- 11~13 ポリシリコン薄膜
- 14 ゲート絶縁膜
- 15、16、20 ゲート電極
- 19 第1の層間絶縁膜
- 21 第2の層間絶縁膜

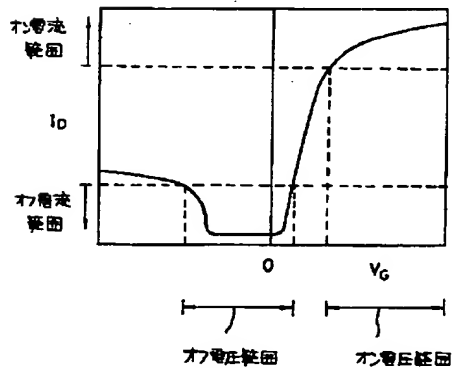
【図1】



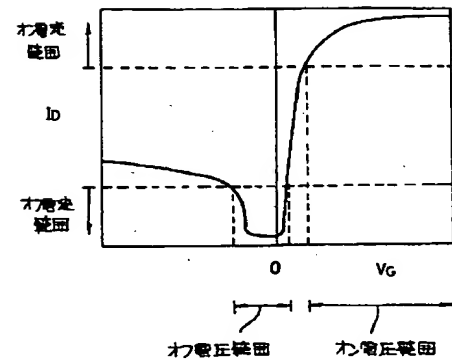
【図2】



【図4】



【図3】



## 【手続補正書】

【提出日】平成5年2月19日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】このように、この薄膜半導体装置のマトリクス回路部側では、第1の層間絶縁膜19がゲート絶縁膜を兼ね、全体としてのゲート絶縁膜の膜厚が第1の層

間絶縁膜19の膜厚の分だけ厚くなっている。この、周辺回路部のNMOS薄膜トランジスタ4のゲート電圧 $V_G$ 。ードレイン電流 $I_D$ 特性を図3に示す。また、マトリクス回路部のNMOS薄膜トランジスタ3の $V_G - I_D$ 特性を図4に示す。図3および図4を参照して理解される通り、周辺回路部のNMOS薄膜トランジスタ4は、ゲート電圧 $V_G$ が低い電圧 $V_{N1}$ （20V程度）でオン電流（1 $\mu$ A程度）に達するが、オフ電流（1pA程度）以下を維持できるゲート電圧範囲が大変狭い。一

方、マトリクス回路部のNMOS薄膜トランジスタ3は、オン電流に達するゲート電圧 $V_g$ がNMOS薄膜トランジスタ4の電圧 $V_{on1}$ よりも高い(30V程度)電圧 $V_{on2}$ である。しかし、このNMOS薄膜トランジスタ3では、オフ電流以下に維持することが可能なゲート電圧の範囲がNMOS薄膜トランジスタ3の場合よりも、遥かに広い。このことは、NMOS薄膜トランジスタ3は、NMOS薄膜トランジスタ4に比して、製造時のバラツキによる消費電流の増大を大幅に低減することが可能であることを意味する。図3および図4に於いて、オン電流は、シフトレジスタ等を含む液晶の駆動回路に要求されるドレイン電流 $I_d$ を基準としたものであり、NMOS薄膜トランジスタ3および4のどちらに対しても同じオン電流値(1 $\mu$ A程度)で比較している。しかし、アクティブマトリクス型液晶表示装置の画素電極18を充電するためのスイッチング用としては、オン電流がもっと小さくても使用可能である。図4に示す如く、NMOS薄膜トランジスタ3に印加されるゲート電圧 $V_g$ が、例えば、NMOS薄膜トランジスタ4のしきい値電圧 $V_{on1}$ と同じでも、ポリシリコン薄膜であれば、画素電極18に容量を充電するに充分である。すなわち、この薄膜半導体装置は、周辺回路部のNMOS薄膜トランジスタ4を低電圧で充分な動作速度をもって駆動することができる。このとき、マトリクス回路部のNMOS薄膜トランジスタ3の動作速度も画素電極18に充電するためのスイッチング用としては充分なものである。また、非駆動時には、マトリクス回路部のNMOS薄膜トランジスタ3のオフ電流を低減し、薄膜半導体装置全体の消費電流を大幅に削減することができる。

【手続補正2】

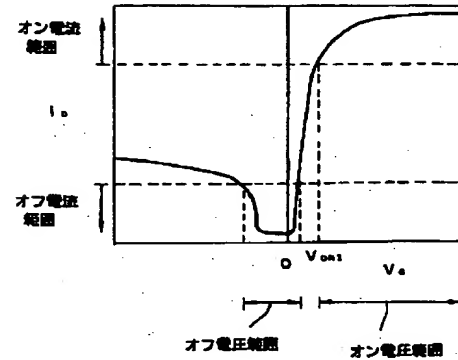
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】



【手続補正3】

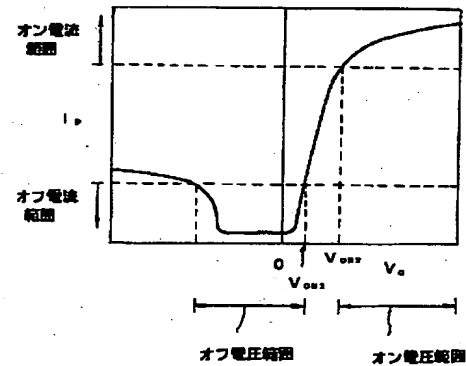
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**